

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-45926

(43) 公開日 平成8年(1996)2月16日

| | | | | |
|-------------------------------|------|--------|-----|--------|
| (51) Int. Cl. ⁶ | 識別記号 | 庁内整理番号 | F I | 技術表示箇所 |
| H 0 1 L 21/318 | A | | | |
| 21/027 | | | | |
| 21/316 | S | | | |
| H 0 1 L 21/ 30 5 7 4 | | | | |
| 審査請求 未請求 請求項の数11 O L (全 10 頁) | | | | |

(21) 出願番号 特願平6-174308

(22) 出願日 平成6年(1994)7月26日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 水村 章

東京都品川区北品川6丁目7番35号 ソニー株式会社内

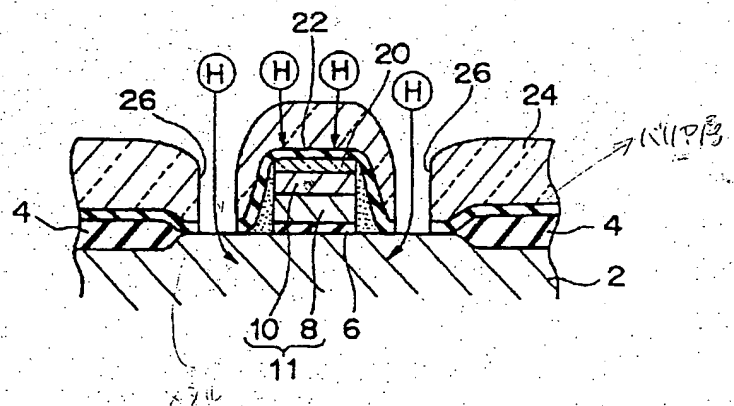
(74) 代理人 弁理士 佐藤 隆久

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【目的】 層間膜からトランジスタへのリンや水分の侵入を防止し、しかもトランジスタの水素化が十分な半導体装置およびその製造方法を提供すること。

【構成】 トランジスタのゲート電極11の上に、このゲート電極11のフォトリソグラフィ加工時の反射防止層となる水素供給源層20が設けてある。水素供給源層が、水素を含む SiO_xN_y 膜または水素を含む Si_xN_y 膜であることが好ましい。水素供給源層20の上に、バリア層22が設けてあることが好ましい。バリア層22は、低圧CVDによる窒化シリコン膜またはECR-CVDによる窒化シリコン膜であることが好ましい。バリア層22の上には、層間膜24が成膜される。



エキスチン・グー・ジ・シ

【特許請求の範囲】

【請求項1】 トランジスタの一部を構成する導電層の上に、この導電層のフォトリソグラフィ加工時の反射防止層となる水素供給源層が設けてある半導体装置。

【請求項2】 上記導電層が、トランジスタのゲート電極である請求項1に記載の半導体装置。

【請求項3】 上記水素供給源層が、水素を含む $\text{Si}_x\text{O}_y\text{N}_z$ 膜および水素を含む Si_xN_y 膜のうちのいずれかである請求項1または2に記載の半導体装置。

【請求項4】 上記水素供給源層の上に、バリア層が設けてある請求項1～3のいずれかに記載の半導体装置。

【請求項5】 上記バリア層が、低圧CVDによる窒化シリコン膜およびECR-CVDによる窒化シリコン膜のうちのいずれかである請求項4に記載の半導体装置。

【請求項6】 導電層上に、反射防止層を兼ねた水素供給源層を形成する工程と、

上記水素供給源層の上に、レジスト膜を成膜する工程と、

フォトリソグラフィ加工を行い、上記レジスト膜を所定パターンに加工する工程と、

上記所定パターンに加工されたレジスト膜をマスクとして、上記導電層をエッチング加工する工程とを有し、

上記水素供給源層の光学定数および膜厚が、フォトリソグラフィ時の定在波効果を最小にするように決定してある半導体装置の製造方法。

【請求項7】 上記導電層がトランジスタのゲート電極である請求項6に記載の半導体装置の製造方法。

【請求項8】 上記水素供給源層が、水素を含む $\text{Si}_x\text{O}_y\text{N}_z$ 膜および水素を含む Si_xN_y 膜のうちのいずれかである請求項6または7に記載の半導体装置の製造方法。

【請求項9】 上記導電層がエッチング加工された後に、水素供給源層の上に、バリア層を形成する工程を有する請求項6～8のいずれかに記載の半導体装置の製造方法。

【請求項10】 上記バリア層が、低圧CVDによる窒化シリコン膜およびECR-CVDによる窒化シリコン膜のうちのいずれかである請求項9に記載の半導体装置の製造方法。

【請求項11】 少なくとも上記水素供給源層が形成された後の工程で、水素雰囲気中で熱処理する工程をさらに有する請求項6～10のいずれかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体装置およびその製造方法に係り、さらに詳しくは、層間膜からトランジスタへのリンや水分の侵入を防止し、しかもトランジスタの水素化が十分な半導体装置およびその製造方法に関する。

【0002】

【従来の技術】 半導体基板上に形成されたMOSトランジスタ上の層間膜として、たとえばBPSPG（ボロンおよびリンがドーピングしてある SiO_2 ）膜が用いられている。BPSPG膜は、平坦性に優れているが、高濃度のリンがドーピングしてあるので、半導体基板を熱処理する場合に、BPSPG膜に含まれるリンが、下地のトランジスタへ拡散し、ボロンがドーピングしてあるポリシリコン膜（リンドープのゲートポリシリコンとボロンドープのゲートポリシリコンとが用いられる場合）のシート抵抗を上げる。また、BPSPG膜に含まれるリンが拡散して、トランジスタ直下の不純物プロファイルを変化させるなどの問題点もある。

【0003】 また、層間膜として、オゾンTEOS-CVD法により成膜されるNSG（ノンドープ SiO_2 ）を用いる場合もあるが、その場合には、半導体基板の熱処理により、膜中に含まれる水分が下地のトランジスタ方向に拡散し、トランジスタの特性劣化を生じさせるおそれがある。

【0004】

【発明が解決しようとする課題】 前述した下地トランジスタへのリンの拡散および水分の拡散を防止する層間膜として、低圧CVDによる Si_3N_4 膜（窒化シリコン膜）が知られている。低圧CVDによる Si_3N_4 膜を用いた半導体装置の要部を図15に示す。図15に示す半導体装置では、単結晶シリコン製半導体基板2の表面に、素子分離領域（LOCOS）4が素子分離パターンで形成しており、LOCOS4により囲まれた半導体基板2の表面上に、ゲート絶縁膜6およびゲート電極8、10（ポリシリコン膜8とタングステンシサイド膜10とのポリサイド構造）が形成してある。

【0005】 そして、ゲート電極8、10およびLOCOS4を覆うように、低圧CVDによる Si_3N_4 膜12が成膜してあり、その上に、層間膜14として、BPSPG膜あるいはオゾンTEOSによるNSG膜が成膜してある。図15に示す構造の半導体装置では、BPSPG膜で構成された層間膜14からのリンの拡散を、 Si_3N_4 膜12でブロックすることができる。また、層間膜14がオゾンTEOS/NSG膜であっても、NSG膜からの水分の透過を Si_3N_4 膜12でブロックすることができる。

【0006】 ところが、図15に示す構造では、トランジスタを構成するシリコン製半導体基板2の表面のチャネル部を構成するシリコンの未結合手（ダングリングボンド）を水素で終端させるために、水素化処理する際に、水素の侵入を Si_3N_4 膜12がブロックしてしまうと言う課題を有する。水素化処理は、たとえば半導体基板を水素雰囲気中で熱処理することなどで行う。水素化に際し、水素の侵入を Si_3N_4 膜12がブロックしてしまうので、水素は、図15に示すように、層間膜14に形成されたコンタクトホール16を通して遠回りに導入さ

れ、水素化が不十分になるおそれがある。水素化が不十分であると、シリコンの未結合手によりキャリアがトラップされ、トランジスタ特性が劣化するおそれがある。

【0007】本発明は、このような実状に鑑みてなされ、層間膜からトランジスタへのリンや水分の侵入を防止し、しかもトランジスタの水素化が十分な半導体装置およびその製造方法を提供することを目的とする。

【0008】

【課題を解決するための手段】上記目的を達成するために、本発明に係る半導体装置は、トランジスタの一部を構成する導電層の上に、この導電層のフォトリソグラフィ加工時の反射防止層となる水素供給源層が設けてある。

【0009】上記導電層は、たとえばトランジスタのゲート電極である。トランジスタがボトムゲート型薄膜トランジスタ(TFT)である場合には、上記導電層は、たとえばソース・ドレイン領域およびチャネル領域が形成される半導体層である。上記水素供給源層が、水素を含む $\text{Si}_x\text{O}_y\text{N}_z$ 膜(以下、「 $\text{Si}_x\text{O}_y\text{N}_z$:H膜」とも言う)および水素を含む Si_xN_y 膜(以下、「 Si_xN_y :H膜」とも言う)のうちのいずれかであることが好ましい。これらの膜は、水素含有量が、10atom%以上、好ましくは15atom%以上、さらに好ましくは20atom%以上である。

【0010】上記水素供給源層の上に、バリア層が設けてあることが好ましい。上記バリア層は、たとえば低圧CVDによる窒化シリコン膜またはECR-CVDによる窒化シリコン膜で構成することができる。本発明に係る半導体装置の製造方法は、導電層上に、反射防止層を兼ねた水素供給源層を形成する工程と、上記水素供給源層の上に、レジスト膜を成膜する工程と、フォトリソグラフィ加工を行い、上記レジスト膜を所定パターンに加工する工程と、上記所定パターンに加工されたレジスト膜をマスクとして、上記導電層をエッチング加工する工程とを有し、上記水素供給源層の光学定数および膜厚が、フォトリソグラフィ時の定在波効果を最小にするように決定してある。

【0011】上記導電層は、たとえばトランジスタのゲート電極である。本発明の方法は、TFTにも適用することができる。ボトムゲート型TFTの場合には、上記導電層は、TFTのソース・ドレイン領域およびチャネルが形成される半導体層となる。

【0012】上記水素供給源層は、水素を含む $\text{Si}_x\text{O}_y\text{N}_z$ 膜および水素を含む Si_xN_y 膜のうちのいずれかで構成することができる。上記導電層がエッチング加工された後に、水素供給源層の上に、バリア層を形成する工程をさらに有することが好ましい。

【0013】上記バリア層は、たとえば低圧CVDによる窒化シリコン膜またはECR-CVDによる窒化シリコン膜で構成することができる。少なくとも上記水素供

給源層が形成された後の工程で、水素雰囲気下で熱処理する工程をさらに有することが好ましい。

【0014】

【作用】本発明に係る半導体装置およびその製造方法では、トランジスタの一部を構成する導電層の上に、この導電層のフォトリソグラフィ加工時の反射防止層となる水素供給源層を設ける。導電層は、たとえばゲート電極である。ゲート電極のフォトリソグラフィ加工時に、水素供給源層が、反射防止効果を有するので、定在波効果による線幅の変動が少なく、微細パターンを形成することができる。導電層が、TFTの半導体層である場合にも、同様にして線幅の変動が少なく微細パターンを形成することができる。

【0015】デザインルールの縮小に伴い、光リソグラフィにおける露光波長はg線(436nm)→i線(365nm)→KrFエキシマレーザー(248nm)と短波長化されているが、多重干渉(定在波効果)の影響は、露光波長の短波長化により大きくなる。本発明では、パターン加工される導電層の上に、反射防止効果を有する水素供給源層が形成してあるので、光吸収作用と位相の打ち消し作用とにより、レジスト膜の厚さが変化しても、レジスト膜の内部で吸収される光量を一定にし、定在波効果を抑制し、線幅の変動を抑えることができる。

【0016】本発明では、トランジスタのゲート電極または半導体層となる導電層の上に、反射防止効果を有する水素供給源層を、導電層のパターン加工後にもそのまま残す。そして、その後の工程で、トランジスタの特性を向上させるための水素化処理を行う際に、水素供給源層に含まれる水素が、トランジスタのチャネルを構成する半導体基板あるいは半導体層まで良好に到達し、半導体基板または半導体層を構成するシリコンの未結合手を終端させ、トランジスタの特性を向上させる。

【0017】このような反射防止効果を有する水素供給源層としては、 $\text{Si}_x\text{O}_y\text{N}_z$:H膜または Si_xN_y :H膜が好ましく用いられる。 $\text{Si}_x\text{O}_y\text{N}_z$:H膜は、 SiH_4 、 N_2O 、 N_2 、 NH_3 等を用いて、たとえばCVD法または反応性スパッタ法、または、ECRプラズマCVDあるいはバイアスECRプラズマCVDなどのプラズマCVD法により成膜される。特に、 $\text{Si}_x\text{O}_y\text{N}_z$:H膜は、水素の含有量が、約20atom%と多く、水素供給源層として好ましく利用することができる。ちなみに、プラズマCVDによる酸化シリコン膜の水素含有量は、数atom%程度である。

【0018】また、 $\text{Si}_x\text{O}_y\text{N}_z$:H膜は、図13に示すように、成膜条件(特に SiH_4 の流量比)を変えることにより、波長248nmあるいはその他の波長における光学定数の n (屈折率の実数部)、 k (屈折率の虚部)を大きく変化させることができる。このため、下地膜の種類に応じて光学定数および膜厚を変化させる

ことで、最適な反射防止層として好ましく用いることができる。

【0019】トランジスタの一部を構成する導電層の上に上述したような水素供給源層を成膜し、トランジスタの周囲を、低圧CVDによる窒化シリコン膜などのバリア層で覆った半導体装置およびその製造方法では、トランジスタの上に成膜される層間膜からトランジスタへのリンや水分の拡散を、バリア層で阻止することができる。ところが、バリア層は、水素または水素ラジカル雰囲気中での熱処理による水素化処理に際し、外部からの水素の透過をバリアする膜ともなるので、従来の半導体装置では、特にチャネル部の水素化が不十分となるおそれがあった。

【0020】本発明では、バリア層の下に水素供給源層が成膜されるので、水素化用熱処理に際し、水素供給源層から水素が供給されるので、水素化が不十分になることもない。また、バリア層は、水素供給源層またはトランジスタから水素が外部に逃げることも防止することができる。

【0021】

【実施例】以下、本発明に係る半導体装置およびその製造方法を、図面に示す実施例に基づき、詳細に説明する。図1、2に示すように、本発明の一実施例に係る半導体装置では、単結晶シリコン製半導体基板2の表面に、素子分離領域(LOCOS)4が素子分離パターンで形成してあり、LOCOS4により囲まれた半導体基板2の表面上に、ゲート絶縁膜6およびゲート電極11(導電層)が形成してある。本実施例では、ゲート電極11は、ポリシリコン膜8とタングステンシリサイド膜10とのポリサイド構造であるが、これに限らず、ポリシリコン膜単独で構成することもできる。

【0022】LOCOS4は、窒化シリコン膜を酸化阻止マスクとして用いた熱酸化法により形成され、酸化シリコン膜で構成される。ゲート絶縁膜6は、絶縁膜であれば特に限定されないが、たとえば熱酸化法により形成される酸化シリコン膜で構成される。ゲート電極11と、ゲート絶縁膜6と、半導体基板2の表面に形成されたソース・ドレイン領域とでMOSトランジスタが構成される。

【0023】本実施例では、ポリサイド構造のゲート電極11の上に、反射防止効果を有する水素供給源層20が成膜してある。水素供給源層20は、 $\text{Si}_x\text{O}_y\text{N}_z:\text{H}$ 膜または $\text{Si}_x\text{N}_y:\text{H}$ 膜などで構成される。これらの膜は、水素含有量が、10atom%以上、好ましくは15atom%以上、さらに好ましくは20atom%以上である。 $\text{Si}_x\text{O}_y\text{N}_z:\text{H}$ 膜は、 SiH_4 、 N_2O 、 N_2 、 NH_3 等を用いて、たとえばCVD法または反応性スパッタ法、または、ECRプラズマCVDあるいはバイアスECRプラズマCVDなどのプラズマCVD法により成膜される。特に、 $\text{Si}_x\text{O}_y\text{N}_z:\text{H}$ 膜

は、水素の含有量が、約20atom%と多く、水素供給源層として好ましく利用することができる。

【0024】また、本実施例の水素供給源層20は、ゲート電極11のフォトリソグラフィ加工時において、反射防止層として機能し、定在波効果を低減し、線幅変動を極力防止して微細パターンの形成が可能になる。このような観点から、水素供給源層20の光学定数および膜厚は、反射防止機能を最大限に発揮するように設定される。

【0025】本実施例の半導体装置では、水素供給源層20が形成されたゲート電極11およびLOCOS4を覆うように、バリア層22が成膜してある。バリア層22としては、たとえば低圧CVDによる窒化シリコン膜またはECR-CVDによる窒化シリコン膜などで構成され、上に成膜される層間膜24からトランジスタへのリンあるいは水分などの不純物の透過を防止する。このバリア層22を設けることで、後工程での水素化処理に際し、外部からトランジスタのチャネル部への水素の侵入も阻止される。しかし、本実施例では、バリア層22の内側に、水素供給源層20が成膜してあるので、図2に示すように、水素化処理に際し、この水素供給源層20から半導体基板2の表面のチャネル部に水素が供給されるので、この部分の水素化が十分に行われる。したがって、シリコンの未結合手が水素により良好に終端され、キャリアトラップとなることもなく、トランジスタの特性が向上する。

【0026】バリア層22の上には、層間膜24が成膜される。層間膜24としては、絶縁膜であれば特に限定されないが、BPSG膜、PSG膜あるいはオゾンTEOSによるNSG膜などで構成される。層間膜24には、半導体基板のソース・ドレイン領域に臨むコンタクトホール26が形成され、コンタクトホール26には、配線用ポリシリコン膜などが埋め込まれる。

【0027】次に、図1に示す半導体装置の製造方法について説明する。まず、図3(A)に示すように、単結晶シリコン製半導体基板2の表面に、LOCOS4を素子分離パターンで形成する。LOCOS4は、たとえば窒化シリコン膜を酸化阻止マスクとして用いた選択熱酸化法により形成され、酸化シリコン膜で構成される。

【0028】次に、LOCOSで囲まれた半導体基板2の表面に、ゲート絶縁膜6を形成する。ゲート絶縁膜6は、絶縁膜であれば特に限定されないが、たとえば熱酸化法により形成される酸化シリコン膜で構成される。次に、図3(B)に示すように、たとえばCVD法を用いて、ゲート電極となるポリシリコン膜8およびタングステンシリサイド(W-Si)膜10を順次成膜する。その上に、反射防止効果を有する水素供給源層20を、プラズマCVD法などで成膜する。水素供給源層20として、 $\text{Si}_x\text{O}_y\text{N}_z:\text{H}$ 膜を用いる場合には、以下のようにして、反射防止機能が最大になるように、その膜厚

および光学定数を決定する。

【0029】(1) 反射防止効果を有する水素供給源層(以下、「反射防止層」とも言う)20がない状態で、タングステンシリサイド膜10上に、レジスト膜21(たとえばXP8843(シブレイマイクロエレクトロニクス社製))を成膜し、波長248nmのKrFエキシマレーザによる露光を行うと仮定し、定在波効果のシミュレーション結果を図4に示す。図4に示すように、定在波効果は、約±20%である。

【0030】(2) 図4において、定在波効果の極大値は、レジスト膜厚が985nmの時にある。レジスト膜厚985nmに着目し、かつ反射防止層の膜厚を30nmとし、反射防止層の光学定数 n_{arl} 、 k_{arl} の変化に対するレジスト膜の吸収光量の等高線のシミュレーション結果を図5に示す。

【0031】(3) レジスト膜厚1000nm、1017.5nm、1035nmのそれぞれに対して、上記(2)のシミュレーションを行った結果を、図6、7、8に示す。

(4) 図5~8に示す吸収光量が最小限になる共通領域の n_{arl} 、 k_{arl} を求めた結果、

$n_{arl} = 4.9$ 、 $k_{arl} = 0.1$ (VALUE 1)

または $n_{arl} = 2.15$ 、 $k_{arl} = 0.67$ (VALUE 2)となる。

【0032】すなわち、反射防止層の膜厚を30nmとした場合に、最適な反射防止層の光学定数は、 $n_{arl} = 4.9$ 、 $k_{arl} = 0.1$

または $n_{arl} = 2.15$ 、 $k_{arl} = 0.67$ となる。

【0033】このような条件の反射防止層をタングステンシリサイド膜の上に成膜し、その上にレジスト膜を成膜した場合の定在波効果を求めると、図9および図10に示す結果が得られる。図9、10に示すように、定在波効果はいずれも小さく、いずれの場合でも、約1%以下である。反射防止層がない場合(図4)に比較し、1/20程度に定在波効果を抑制することができる。

【0034】(5) 上記(2)~(4)の手順は、反射防止層の膜厚を30nmとした場合であるが、他の異なる反射防止層(「ARL」とも言う)の膜厚に対して、上記(2)~(4)を繰り返し行うことで、反射防止層の膜厚に応じた最適な反射防止層の光学定数が定まる。求めた結果を図11、12に示す。

【0035】(6) 上記(5)で求めた反射防止層の満たすべき条件を満足する膜種が存在するか否かを、分光エリプソメータ(SOPRA社製)を用いて調べたところ、 $Si_x N_y : H$ 膜は、図13に示すように、その成膜条件に応じてその光学定数(n 、 k)が変化することから、最適であることが見い出された。すなわち、図13に示す○で囲まれた条件で成膜された $Si_x O_y N_z : H$ 膜は、図11、12の条件を満足する。したがって、 $Si_x O_y N_z : H$ 膜を25nmの厚さで、タン

グステンシリサイド膜上に反射防止層として成膜した場合に、図14の曲線Aで示すように、定在波効果を±1.8%程度に抑制することが可能になる。反射防止層がない場合の定在波効果(図14の曲線B)に比較し、定在波効果を約1/12程度に削減することができる。

【0036】したがって、上述のようにして最適化された反射防止層(この膜は、水素供給源層でもある)を、図3(B)に示すように、水素供給源層20として、タングステンシリサイド膜10の上に成膜する。そして、水素供給源層20の上に成膜されるレジスト膜21のフォトリソグラフィ加工を行えば、定在波効果を抑制して、レジスト膜の微細パターンを形成することができ、その線幅変動も少ない。したがって、そのレジスト膜21を用いて、タングステンシリサイド膜10およびポリシリコン膜8をエッチング加工すれば、図3(C)に示すように、線幅変動が少ない微細なゲート電極11のパターンを得ることができる。

【0037】なお、ゲート電極11のパターンを、それほど微細にしない場合には、水素供給源層20の成膜条件は、反射防止効果を最大限に発揮させる成膜条件を犠牲にして、水素が最大に含有される成膜条件でも良い。その後、LDD用サイドウォール23をゲート電極11の側部に形成した後、水素供給源層20が成膜されたゲート電極11、サイドウォール23およびLOCOS4の表面を覆うように、バリア層22を成膜する。バリア層22は、たとえば低圧CVDによる窒化シリコン膜またはECR-CVDによる窒化シリコン膜などで構成される。

【0038】次に、その上に、層間膜24を成膜する。層間膜24としては、絶縁膜であれば特に限定されないが、BPSG膜、PSG膜あるいはオゾンTEOSによるNSG膜などで構成される。次に、図1に示すように、層間膜24に、半導体基板2のソース・ドレイン領域に臨むコンタクトホール26を形成する。

【0039】その後、水素および/または水素ラジカル雰囲気中で、半導体基板2の熱処理を行い、水素化処理を行う。水素化処理は、たとえばフォーミングガス(水素と窒素との混合ガス)中で400~500°C程度の加熱温度で数十分~1時間行う。この熱処理は、層間膜24をBPSG膜とした場合には、BPSG膜のリフロ用熱処理と兼ねても良い。

【0040】従来では、図15に示すように、バリア層22は、水素または水素ラジカル雰囲気中での熱処理による水素化処理に際し、外部からの水素の透過をバリアする膜ともなるので、従来の半導体装置では、特にトランジスタのチャネル部の水素化が不十分となるおそれがあった。

【0041】本実施例では、図1に示すように、バリア層22の下に水素供給源層20が成膜されるので、水素化用熱処理に際し、図2に示すように、水素供給源層2

0から水素が供給され、水素化が不十分になることもない。また、バリア層22は、水素供給源層20またはトランジスタから水素が外部に逃げることも防止することができる。その後の工程は、通常の半導体装置の製造過程と同様である。

【0042】なお、本発明は、上述した実施例に限定されるものではなく、本発明の範囲内で種々に改変することができる。たとえば、上述した実施例では、本発明に係る半導体装置の構造およびその製法を、MOSトランジスタが形成された半導体装置に対して適用したが、TFTが形成される半導体装置に対しても同様にして適用することができる。

【0043】

【発明の効果】以上説明してきたように、本発明によれば、水素供給源層が、反射防止効果を有するので、定在波効果による線幅の変動が少なく、微細パターンを形成することができる。

【0044】また、本発明では、トランジスタのゲート電極または半導体層となる導電層の上に、反射防止効果を有する水素供給源層を、導電層のパターン加工後にもそのまま残す。そして、その後の工程で、トランジスタの特性を向上させるための水素化処理を行う際に、水素供給源層に含まれる水素が、トランジスタのチャネルを構成する半導体基板あるいは半導体層まで良好に到達し、半導体基板または半導体層を構成するシリコンの未結合手を終端させ、トランジスタの特性を向上させる。

【0045】特に本発明では、バリア層の下に水素供給源層が成膜されるので、水素化用熱処理に際し、水素供給源層から水素が供給されるので、水素化が不十分になることもない。また、バリア層は、水素供給源層またはトランジスタから水素が外部に逃げることも防止することができる。

【図面の簡単な説明】

【図1】図1は本発明の一実施例に係る半導体装置の要部断面図である。

【図2】図2は図1の要部説明図である。

【図3】図3(A)～(C)は図1に示す半導体装置の製造方法を示す要部断面図である。

【図4】図4は反射防止層がない場合のタングステンシ

リサイド膜上のレジスト膜の定在波効果を示すグラフである。

【図5】図5はレジスト膜厚985nmにおいて、反射防止層の光学定数を変化させた場合に、レジスト膜の吸収光量の変化の軌跡を示すグラフである。

【図6】図6はレジスト膜厚1000nmにおいて、反射防止層の光学定数を変化させた場合に、レジスト膜の吸収光量の変化の軌跡を示すグラフである。

【図7】図7はレジスト膜厚1017.5nmにおいて、反射防止層の光学定数を変化させた場合に、レジスト膜の吸収光量の変化の軌跡を示すグラフである。

【図8】図8はレジスト膜厚1035nmにおいて、反射防止層の光学定数を変化させた場合に、レジスト膜の吸収光量の変化の軌跡を示すグラフである。

【図9】図9は最適化された反射防止層の第1の解による定在波効果を示すグラフである。

【図10】図10は最適化された反射防止層の第2の解による定在波効果を示すグラフである。

【図11】図11は反射防止層のnと膜厚の関係を示すグラフである。

【図12】図12は反射防止層のkと膜厚の関係を示すグラフである。

【図13】図13は成膜条件の変化による反射防止層の光学定数の変化を示すグラフである。

【図14】図14はタングステンシリサイド膜上に、 $\text{Si}_x\text{O}_y\text{N}_z$: H膜を成膜した場合とそうでない場合の定在波効果の差異を示すグラフである。

【図15】図15は従来例に係る半導体装置の要部断面図である。

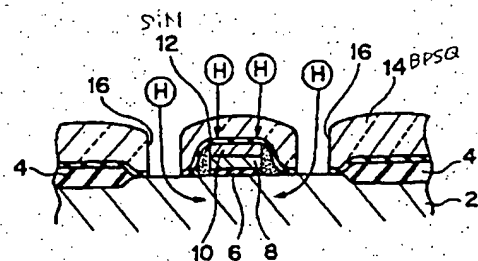
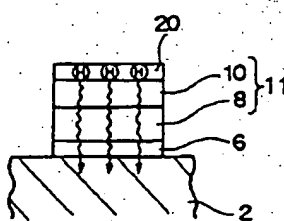
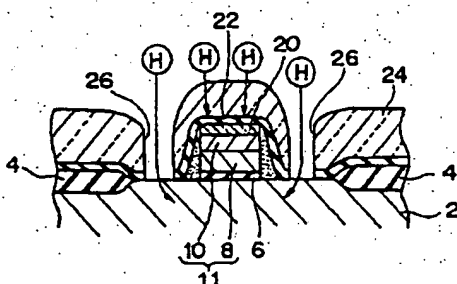
【符号の説明】

- 2… 半導体基板
- 4… LOCOS
- 6… ゲート絶縁膜
- 8… ポリシリコン膜
- 10… タングステンシリコン膜
- 11… ゲート電極
- 20… 水素供給源層（反射防止層）
- 22… バリア層
- 24… 層間膜

【図1】

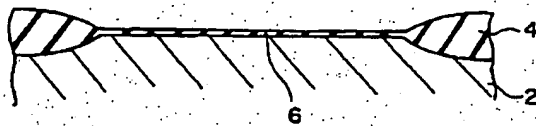
【図2】

【図15】

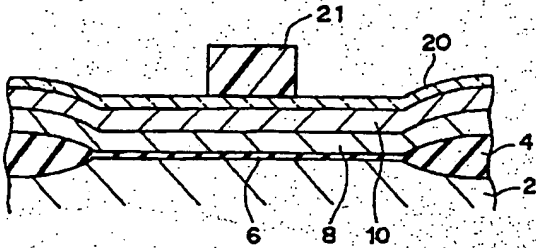


【図3】

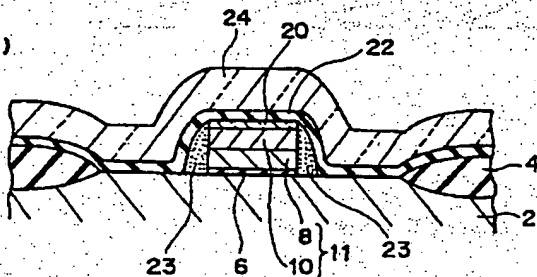
(A)



(B)

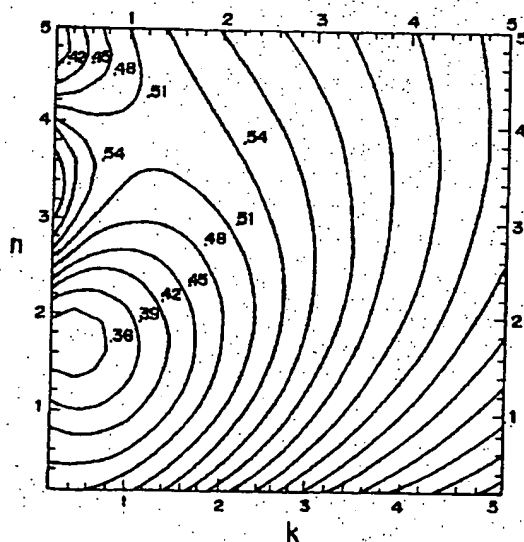


(C)



【図6】

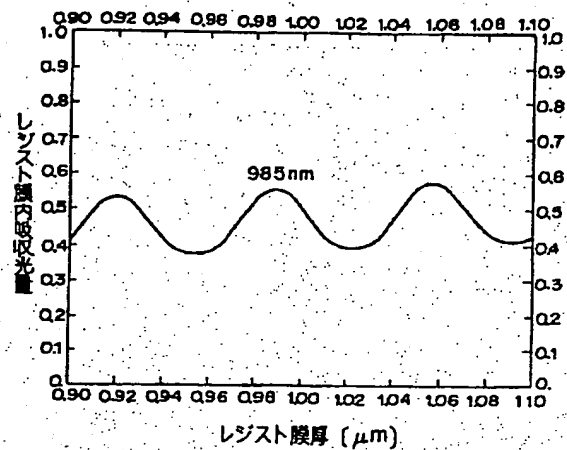
レジスト膜厚 1000nm についての軌跡



$\lambda = 248\text{nm}$
 XP8843/ARL/W-Si
 $n_{PR} = 1.802$, $k_{PR} = 0.0107$, $d_{PR} = 1.0\mu\text{m}$
 n_{arl} , k_{arl} : パラメータ, $d_{arl} = 0.03\mu\text{m}$
 $n_{sub} = 1.96$, $k_{sub} = 2.69$

【図4】

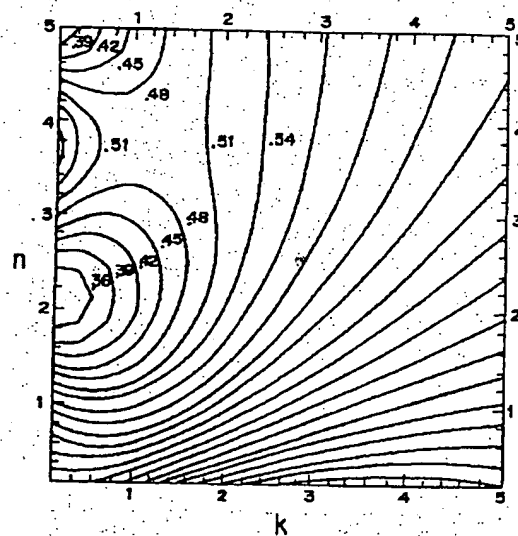
定在波効果 (W-Si 上)



$\lambda = 248\text{nm}$
 XP8843onW-Si
 $n_{PR} = 1.802$, $k_{PR} = 0.0107$
 $n_{sub} = 1.96$, $k_{sub} = 2.69$

【図5】

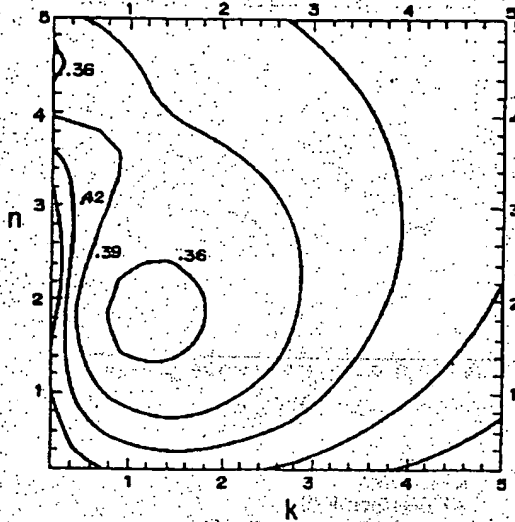
反射防止膜の膜厚 30nm 場合の、レジスト
 膜厚 985nm についての、 n_{arl} , k_{arl} の
 変化に対するレジスト膜の吸収光量の変化の軌跡



$\lambda = 248\text{nm}$
 XP8843/ARL/W-Si
 $n_{PR} = 1.802$, $k_{PR} = 0.0107$, $d_{PR} = 0.985\mu\text{m}$
 n_{arl} , k_{arl} : パラメータ, $d_{arl} = 0.03\mu\text{m}$
 $n_{sub} = 1.96$, $k_{sub} = 2.69$

【図7】

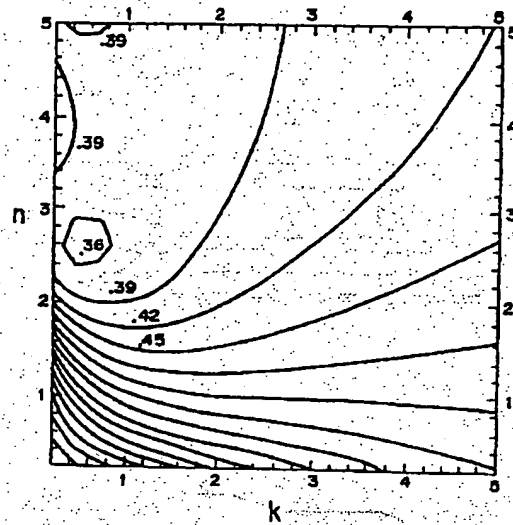
レジスト膜厚1017.5nmについての軌跡



$\lambda = 248\text{nm}$,
 XP8843/ARL/W-Si
 $n_{PR} = 1.802$, $k_{PR} = 0.0107$, $d_{PR} = 1.0175\mu\text{m}$
 n_{arl} , k_{arl} : パラメータ, $d_{arl} = 0.03\mu\text{m}$
 $n_{sub} = 1.96$, $k_{sub} = 2.69$

【図8】

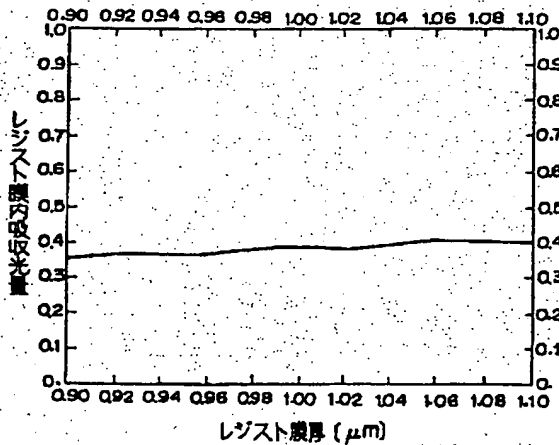
レジスト膜厚1035nmについての軌跡



$\lambda = 248\text{nm}$,
 XP8843/ARL/W-Si
 $n_{PR} = 1.802$, $k_{PR} = 0.0107$, $d_{PR} = 1.035\mu\text{m}$
 n_{arl} , k_{arl} : パラメータ, $d_{arl} = 0.03\mu\text{m}$
 $n_{sub} = 1.96$, $k_{sub} = 2.69$

【図9】

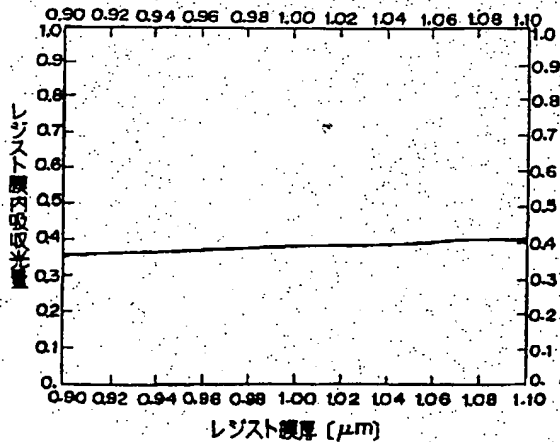
最適条件での定在波効果



$\lambda = 248\text{nm}$,
 XP8843/ARL/W-Si
 $n_{PR} = 1.802$, $k_{PR} = 0.0107$
 $n_{arl} = 2.15$, $k_{arl} = 0.67$, $d_{arl} = 0.03\mu\text{m}$
 $n_{sub} = 1.96$, $k_{sub} = 2.69$

【図10】

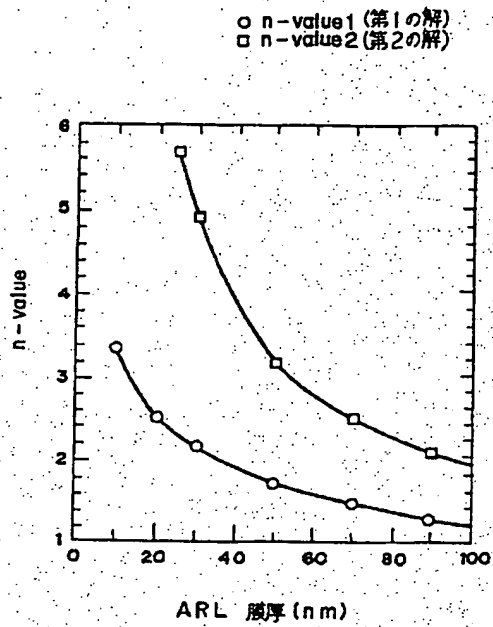
最適条件での定在波効果



$\lambda = 248\text{nm}$,
 XP8843/ARL/W-Si
 $n_{PR} = 1.802$, $k_{PR} = 0.0107$
 $n_{arl} = 4.9$, $k_{arl} = 0.1$, $d_{arl} = 0.03\mu\text{m}$
 $n_{sub} = 1.96$, $k_{sub} = 2.69$

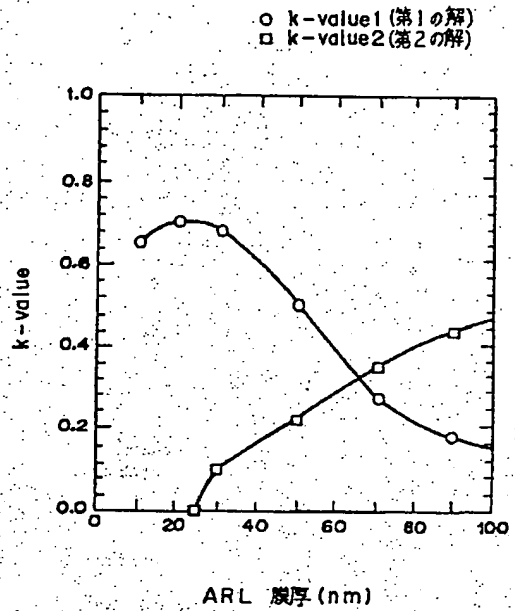
【図11】

反射防止膜の膜厚とnとの関係

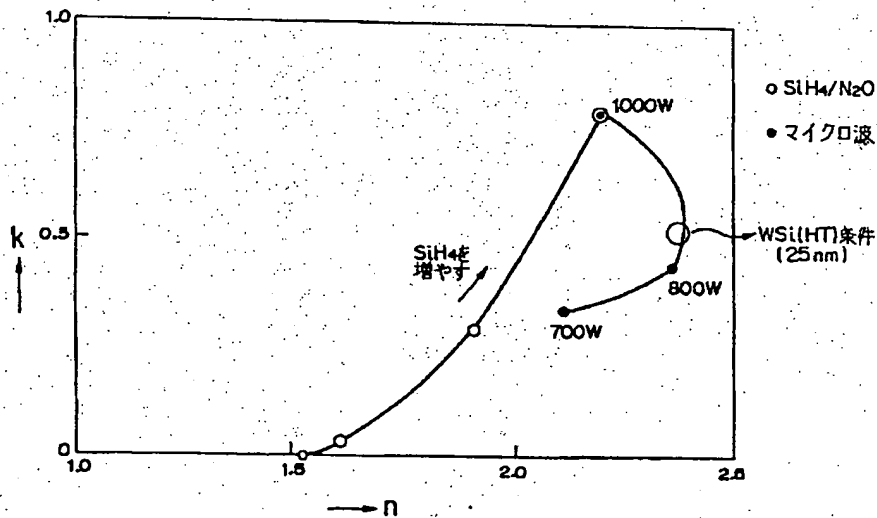


【図12】

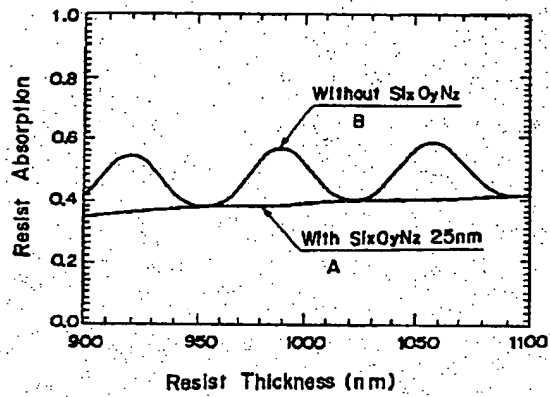
反射防止膜の膜厚とkとの関係



【図13】

ECR-CVD装置による $\text{Si}_x\text{O}_y\text{N}_z$ 成膜挙動

【図14】

W-Si上のSi_xO_yN_z(25nm)の反射防止効果Condition

substrate : W-Si
 (n = 1.93, k = 2.73)
 ARL : optimized Si_xO_yN_z
 (n = 2.36, k = 0.53, d = 23.8nm)
 photoresist : XP8843
 (n = 1.80, k = 0.011)

ARL effect

| | Without Si _x O _y N _z | With Si _x O _y N _z |
|-------------|---|--|
| Max | 0.60 | 0.425 |
| Min | 0.40 | 0.410 |
| Swing ratio | ±21% | ±1.8% |